

LIQUID CRYSTAL DISPLAY DEVICE AND ITS MANUFACTURE

Patent number: JP11307778

Publication date: 1999-11-05

Inventor: NAKADA SHINICHI

Applicant: NIPPON ELECTRIC CO

Classification:


- international: **G02F1/1333; G02F1/136; G02F1/1362; G02F1/1368; H01L29/786; G02F1/13; H01L29/66; (IPC1-7): H01L29/786; G02F1/1333; G02F1/136**

- european: G02F1/1362H

Application number: JP19980113659 19980423

Priority number(s): JP19980113659 19980423

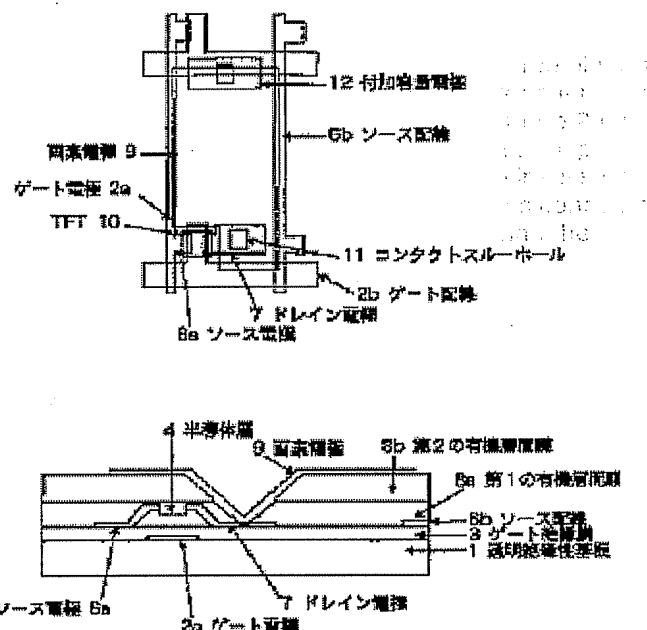
Also published as:

 US6466279 (B)

Report a data error he

Abstract of JP11307778

PROBLEM TO BE SOLVED: To manufacture at low costs in a plurality of photolitho steps without increasing the steps by a method wherein a first organic interlayer insulation film and a second organic interlayer insulation film directly covering a source electrode wiring, a drain electrode and a back channel are formed. **SOLUTION:** A gate electrode 2a and a gate wiring 2b are provided on a transparent insulation substrate 1, and a gate insulation film 3 is provided so as to cover it. A semiconductor layer 4 is provided so as to overlap the gate electrode 2a thereon, and a source electrode 6a and a drain electrode 7 partitioned at a center part of the semiconductor layer 4 are connected to the semiconductor layer 4 via an ohmic contact layer 5. The ohmic contact layer between the source electrode 6a and the drain electrode 7 is etched off and the ohmic contact layer 5 is provided only between the source electrode 6a, the drain electrode 7 and the semiconductor layer 4. Further, a first organic insulation film 8a is provided containing a channel part etched off so as to cover it, and a second organic insulation film 8b is provided thereon.



Data supplied from the esp@cenet database - Worldwide

Family list4 family members for: **JP11307778**

Derived from 3 applications

- 1 LIQUID CRYSTAL DISPLAY DEVICE AND ITS MANUFACTURE**
Inventor: NAKADA SHINICHI **Applicant:** NIPPON ELECTRIC CO
EC: G02F1/1362H **IPC:** G02F1/1333; G02F1/136; G02F1/1362 (+)
Publication info: JP3230664B2 B2 - 2001-11-19
JP11307778 A - 1999-11-05
- 2 Liquid crystal display device and process for producing same in which forming first and second organic insulating layers using curing and half curing process**
Inventor: NAKATA SHINICHI (JP) **Applicant:** NIPPON ELECTRIC CO (JP)
EC: G02F1/1362H **IPC:** G02F1/1333; G02F1/136; G02F1/1362 (+)
Publication info: US6466279 B1 - 2002-10-15
- 3 Liquid crystal display device and process for producing same**
Inventor: NAKATA SHINICHI (JP) **Applicant:** NIPPON ELECTRIC CO (US)
EC: G02F1/1362H **IPC:** G02F1/1362; G02F1/13; (IPC1-7):
G02F1/136
Publication info: US2002191124 A1 - 2002-12-19

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-307778

(43) 公開日 平成11年(1999)11月5日

(51) Int. Cl. ⁶
H01L 29/786
G02F 1/1333
1/136

識別記号

505
500

F I

H01L 29/78 619 A
G02F 1/1333 505
1/136 500

審査請求 有 請求項の数11 O L (全8頁)

(21) 出願番号 特願平10-113659

(22) 出願日 平成10年(1998)4月23日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 中田 慎一

東京都港区芝五丁目7番1号 日本電気株
式会社内

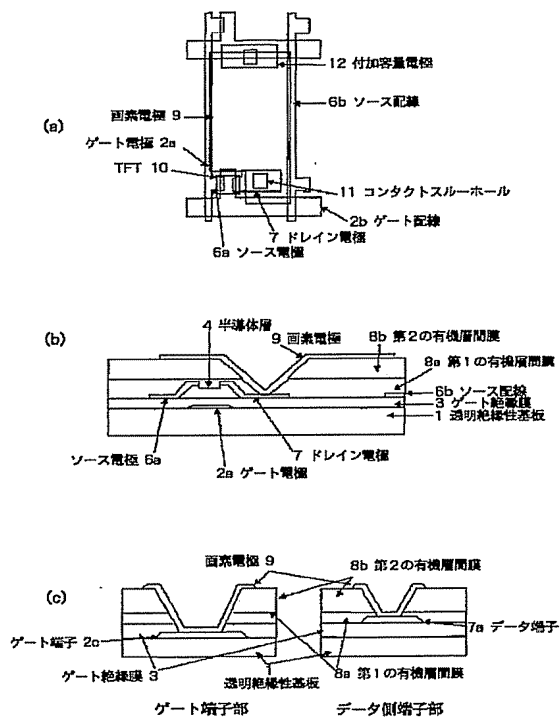
(74) 代理人 弁理士 若林 忠 (外4名)

(54) 【発明の名称】 液晶表示装置とその製造方法

(57) 【要約】

【課題】 配線と画素電極がオーバーラップする構造を持つアクティブマトリクス基板において、従来の高開口率の液晶表示装置に比べて、フォトリソ工程を増やすことなく、5つのフォトリソ工程で安価に製造することのできる高透過率の明るいアクティブマトリクス型液晶表示装置およびその製造方法を提供することである。

【解決手段】 画素電極と配線との間に、ソース電極、ソース配線、ドレイン電極およびバックチャネルを直接覆う第1の有機層間絶縁膜と第2の有機層間絶縁膜とが形成されてなり、TFTのチャネル部に直接下層の有機層間絶縁膜が接してなる液晶表示装置。



【特許請求の範囲】

【請求項 1】 画素電極と配線との間に、ソース電極、ソース配線、ドレイン電極およびバックチャネルを直接覆う第 1 の有機層間絶縁膜と第 2 の有機層間絶縁膜とが形成されてなり、T F T のチャンネル部に直接下層の有機層間絶縁膜が接してなる液晶表示装置。

【請求項 2】 第 1 の有機層間絶縁膜は、ポリシラザン、シロキサン樹脂およびベンゾシクロポリブテンポリマーからなる群から選ばれた少なくとも 1 種の有機層形成材料からなることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】 有機層形成材料が、吸水率 1 % 以下のものであることを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】 第 2 の有機層間絶縁膜は、ジメチレングリコールメチルエチルエーテルを溶媒とするアクリル系樹脂を有機層形成材料とすることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 5】 (A) 透明電極基板上にスパッタリング装置により金属薄膜を形成しフォトリソ工程によりゲート電極、ゲート配線およびゲート端子部を形成する工程、

(B) ゲート電極、ゲート配線を覆って、半導体層となる a - S i 層およびオーミックコンタクト層となる n + S i 層を連続形成し両層をアイランド状にパターニングする工程、

(C) 該両層上にスパッタリング装置により金属薄膜を形成し、フォトリソ工程によりソース電極、ソース配線、ドレイン電極、データ側端子部を形成し、ソース電極、ドレイン電極間の不要な n + S i 層を除去し、バックチャネルを形成する工程、

(D) バックチャネルを含む基板一面にスピンコート法により第 1 の有機層間絶縁膜を形成して全硬化し、次いでスピンコート法により第 2 の有機層間絶縁膜を形成して半硬化し、さらにノボラック樹脂を主成分とするポジ型感光性レジストをスピンコート法により塗布してプリベークを行い、次いでコンタクトスルーホール形成のため露光装置により露光処理してポジ型感光性レジストを可溶化させ同時にその下層の第 2 の有機層間絶縁膜も可溶化除去する工程、

(E) オープンにてミッドベーク後、ポジ型感光性レジストをマスクにして不要な第 1 の有機層間絶縁膜およびゲート絶縁膜を除去し、次いでポジ型感光レジストの剥離を行う工程、および

(F) スパッタリング装置を用いて透明導電性膜を成膜し、画素電極をパターニングする工程からなることを特徴とする液晶表示装置の製造方法。

【請求項 6】 工程 D の第 1 の有機層間絶縁膜は、ポリシラザン、シロキサン樹脂およびベンゾシクロポリブテンポリマーからなる群から選ばれた少なくとも 1 種の有

機層形成材料からなることを特徴とする請求項 5 に記載の液晶表示装置の製造方法。

【請求項 7】 有機層形成材料が、吸水率 1 % 以下のものであることを特徴とする請求項 6 に記載の液晶表示装置の製造方法。

【請求項 8】 第 2 の有機層間絶縁膜は、ジメチレングリコールメチルエチルエーテルを溶媒とするアクリル系樹脂を有機層形成材料とすることを特徴とする請求項 5 に記載の液晶表示装置の製造方法。

【請求項 9】 工程 D のノボラック樹脂の溶剤が 2 - ヘプタノンと 3 - エトキシジアジスルホン酸エチルの混合溶媒であることを特徴とする請求項 5 に記載の液晶表示装置の製造方法。

【請求項 10】 工程 D のアクリル系樹脂の半硬化が 1 0 0 ~ 2 0 0 ° C 、 1 ~ 4 分のプリベークであり、ノボラック樹脂のプリベーク温度が第 2 の有機層間絶縁膜のプリベーク温度を越えない 9 0 ~ 1 2 0 ° C の温度範囲で 1 ~ 4 分のプリベークであることを特徴とする請求項 8 または 9 に記載の液晶表示装置の製造方法。

【請求項 11】 工程 D のポジ型感光性レジストの現像がテトラメチレンアンモニウムヒドロオキサイド溶液を用いることを特徴とする請求項 5 に記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】 本発明は液晶表示装置、特にアクティブマトリクス基板の製造方法の改良に関する。

【 0 0 0 2 】

【従来の技術】 図 3 は従来の液晶表示装置におけるアクティブマトリクス基板のチャンネルエッチ型 T F T の概略図である。図 3 (a) は平面図、図 3 (b) は断面図、図 3 (c) は端子部断面図を示している。図 3 (b) において、透明絶縁性基板 1 上に、ゲート電極 2 a が形成され、その上を覆ってゲート絶縁膜 3 が形成されている。さらにその上にはゲート電極 2 a と重畳するように半導体層 4 が形成され、その中央部上で隔てられたソース電極 6 a 、ドレイン電極 7 がオーミックコンタクト層 5 を介して半導体層 4 に接続されている。それらソース電極 6 a とドレイン電極 7 の間のオーミックコンタクト層 5 はエッチング除去され、ソース電極 6 a 、ドレイン電極 7 と半導体層 4 の間にのみオーミックコンタクト層 5 が形成されている。さらにこれらを覆うようにパッシベーション膜 1 7 が形成されている。このパッシベーション膜 1 7 上には、画素電極 9 となる透明導電膜が、パッシベーション膜 1 7 を貫くコンタクトスルーホール 1 1 を介して、ドレイン電極 7 と接続されている。

【 0 0 0 3 】 次に、図 3 に示したアクティブマトリクス基板の製造方法について、図 4 を用いて説明する。

【 0 0 0 4 】 (A) ガラスなどの透明絶縁性基板 1 上にスパッタリング装置によって A l 、 M o 、 C r などから

なる導電層を 100~200 nm の厚さで堆積し、フォトリソ工程によりゲート配線 2 b、ゲート電極 2 a および表示用の外部信号処理基板と接続されるゲート端子 2 c 部を形成する第 1 のパターニング工程を行う。

【0005】(B) 次にシリコン窒化膜などからなるゲート絶縁膜 3 とアモルファスシリコンからなる半導体層 4、n+アモルファスシリコンからなるオーミックコンタクト層 5 とを PCVD 装置によって、それぞれ 400 nm、300 nm、50 nm 程度の厚さで連続的に積層し、半導体層 4、オーミックコンタクト層 5 とを一括してパターニングする第 2 のパターニング工程を行う。

【0006】(C) 次にゲート絶縁膜 3 およびオーミックコンタクト層 5 を覆うようにスパッタリング装置によって Mo、Cr などを 150 nm 程度の厚さで堆積し、これをフォトリソ工程によりソース電極 6 a、ソース配線 6 b、ドレイン電極 7、および表示用の外部信号処理基板に接続されるデータ側端子 7 a 部を形成する第 3 のパターニング工程を行うとともに、TFT のチャネル部となるソース電極 6 a、ドレイン電極 7 下以外の不要なオーミックコンタクト層 5 を除去する。

【0007】(D) 次に TFT のバックチャネル、ソース電極 6 a、ソース配線 6 b、ドレイン電極 7、端子部を覆うように PCVD 装置によりシリコン窒化膜などの無機膜からなるパッシベーション膜 17 を 100~200 nm 程度の厚さで成膜し、ドレイン電極 7 と画素電極 9 とのコンタクトをとるためのコンタクトスルーホール 11 の形成と、データ側端子 7 a 部上の不要なパッシベーション膜 17 とゲート端子 2 c 部上の不要なゲート絶縁膜 3 およびパッシベーション膜 17 を除去する第 4 のパターニング工程を行う。

【0008】(E) 最後に、画素電極 9 となる透明導電膜をスパッタリング装置で成膜し、第 5 のパターニング工程を行う。

【0009】以上に説明した 5 つのパターニング工程により、製造工程を大幅に短縮した図 3 のアクティブマトリクス基板をもつ液晶表示装置を製造することができる。

【0010】しかし、従来の液晶表示装置（以下、従来例 1 と略称する）では、図 3 (a) のようにゲート配線 2 b およびソース配線 6 b と画素電極 9 間の光漏れを防ぐため、CF 基板上に設けられたブラックマトリクスで遮光する必要があるが、CF 基板とアクティブマトリクス基板の重ね合わせ精度の問題からブラックマトリクスによる遮光領域を大きく採らなければならない、液晶表示装置の開口率が小さくなる。このため、透過率の低い液晶表示装置になってしまうという問題点を有した。

【0011】開口率を大きくする手段として、画素電極 9 と各配線とをオーバーラップすることで CF 側のブラックマトリクスをなくす方法が、特開平 9-152625（以下、従来例 2 と略称する）に開示されている。図

5 は、従来例 2 のアクティブマトリクス基板におけるチャネル保護型 TFT の断面図である。図 5 を用いてアクティブマトリクス基板のチャネル保護型 TFT の構造を説明すると、透明絶縁性基板 1 上に、ゲート配線 2 b に接続されたゲート電極 2 a が設けられ、その上を覆ってゲート絶縁膜 3 が設けられている。その上にはゲート電極 2 a と重畳するように半導体層 4 が設けられ、その中央部上にチャネル保護層 13 が設けられている。このチャネル保護層 13 の両端部および半導体層 4 の一部を覆う、チャネル保護層 13 上で分断された状態で、ソース電極 6 a およびドレイン電極 7 となる N+Si 層が設けられている。一方の n+Si 層であるソース電極 6 a の端部上には透明導電膜 14 と金属層 15 とが設けられて 2 層構造のソース配線 6 b となっている。また、他方の n+Si 層であるドレイン電極 7 の端部上には透明導電膜 14 と金属層 15 とが設けられ、透明導電膜 14 は延長されて画素電極 9 と接続する接続電極となっている。さらに、TFT、ゲート配線 2 b、ソース配線 6 b、接続電極を覆って層間絶縁膜が設けられている。この層間絶縁膜上には画素電極 9 となる透明導電膜が設けられ、層間絶縁膜を貫くコンタクトスルーホールを介して、接続電極である透明導電膜により TFT のドレイン電極 7 と接続されている。

【0012】これら従来例 2 の液晶表示装置の特徴は、画素電極 9 とソース電極 6 a、ソース配線 6 b との間に低誘電率の層間絶縁膜を厚く形成することによって、画素電極 9 と配線間の容量を増大させることなく、画素電極 9 と配線をオーバーラップすることができ、開口率の大きな明るい液晶表示装置が得られる。

【0013】

【発明が解決しようとする課題】しかしながら、上記した従来例 2 では、層間絶縁膜を形成するための製造工程と画素電極とのコンタクトスルーホールの製造工程が新たに加わり、9 回のパターニング工程を必要とするため、液晶表示装置の製造コストが大幅に増大するという問題点を有していた。

【0014】また、この層間絶縁膜を用いて開口率を上らせる技術を従来例 1 の製造工程を短縮したアクティブマトリクス基板に適用しようすると、図 6 (a)、(b) のように感光性有機層間膜 8 c をマスクにして、データ側端子 7 a 部上の不要なパッシベーション膜 17 とゲート端子 2 c 部上の不要なゲート絶縁膜 3 およびパッシベーション膜 17 を除去するドライエッチングを行う必要がある。シリコン窒化膜からなるゲート絶縁膜 3、パッシベーション膜 17 をエッチングする場合、フッ素系ガスでエッチングするため、アクリル系などの感光性有機層間膜 8 c もエッチングされてしまうという問題がある。

【0015】また、非感光性のアクリル樹脂を用いて、その上にポジ型感光性レジストを塗布し、アクリル樹脂

10

20

30

40

50

とシリコン窒化膜を一括エッチングする方法も考えられるが、ポジ型感光性レジストとシリコン窒化膜のエッチング選択比が 1 程度しか得られないため、アクリル樹脂・シリコン窒化膜をエッチングしている間にポジ型感光性レジストがなくなり、必要部分のアクリル樹脂までエッチングされてしまうという問題がある。また、従来の PCVD 装置にて形成するシリコン窒化膜からなるパッシベーション膜 17 の上に層間絶縁膜になる有機絶縁膜を形成するため、従来例 1 のチャンネルエッチ型 TFT に比べるとコストアップになるという問題があった。

【0016】これらの問題を解決する方法として、高価な PCVD 装置で形成するパッシベーション膜を省略して、層間絶縁膜である有機絶縁膜でパッシベーション膜 17 も兼用する検討もされてきたが、液晶表示装置の信頼性を保つため、チャンネル部に侵入する不純物イオンや水分をブロックする機能がパッシベーション膜には必要であり、直接アクリル系樹脂やポリイミド系樹脂などの有機絶縁膜をチャンネル部に接触させると、液晶中からの不純物イオンや水分あるいは有機系樹脂中からのイオンの侵入によりトランジスタ特性の劣化を引き起こすという問題があった。

【0017】

【課題を解決するための手段】本発明は上記した問題点に鑑みてなされたものであり、その目的は配線と画素電極 9 がオーバーラップする構造をもつアクティブマトリクス基板において、その層間絶縁膜の簡単な製造方法を示すことにより、従来の高開口率の液晶表示装置に比べて、フォトリソ工程を増やすことなく、5つのフォトリソ工程で安価に製造することのできる高透過率の明るいアクティブマトリクス型液晶表示装置およびその製造方法を提供することにある。

【0018】本発明の液晶表示装置は、画素電極と配線との間に、ソース電極、ソース配線、ドレイン電極およびバックチャネルを直接覆う第 1 の有機層間絶縁膜と第 2 の有機層間絶縁膜とが形成されてなり、TFT のチャンネル部に直接下層の有機層間絶縁膜が接してなる。

【0019】上記した本発明において、第 1 の有機層間絶縁膜は、ポリシラザン、シロキサン樹脂およびベンゾシクロポリブテンポリマーからなる群から選ばれた少なくとも 1 種の有機層形成材料からなることが好ましい。

【0020】また、有機層形成材料が、吸水率 1 % 以下のものであることが好ましい。

【0021】また、第 2 の有機層間絶縁膜は、ジメチレングリコールメチルエチルエーテルを溶媒とするアクリル系樹脂を有機層形成材料とすることが好ましい。

【0022】本発明はまた、(A) 透明電極基板上にスパッタリング装置により金属薄膜を形成しフォトリソ工程によりゲート電極、ゲート配線およびゲート端子部を形成する工程、(B) ゲート電極、ゲート配線を覆って、半導体層となる a-Si 層およびオーミックコンタ

クト層となる n+Si 層を連続形成し両層をアイランド状にパターニングする工程、(C) 該両層上にスパッタリング装置により金属薄膜を形成し、フォトリソ工程によりソース電極、ソース配線、ドレイン電極、データ側端子部を形成し、ソース電極、ドレイン電極間の不要な n+Si 層を除去し、バックチャネルを形成する工程、

(D) バックチャネルを含む基板一面にスピンコート法により第 1 の有機層間絶縁膜を形成して全硬化し、次いでスピンコート法により第 2 の有機層間絶縁膜を形成して半硬化し、さらにノボラック樹脂を主成分とするポジ型感光性レジストをスピンコート法により塗布してプリベークを行い、次いでコンタクトスルーホール形成のため露光装置により露光処理してポジ型感光性レジストを可溶化させ同時にその下層の第 2 の有機層間絶縁膜も可溶化除去する工程、(E) オープンにてミッドベーク後、ポジ型感光性レジストをマスクにして不要な第 1 の有機層間絶縁膜およびゲート絶縁膜を除去し、次いでポジ型感光性レジストの剥離を行う工程、および (F) スパッタリング装置を用いて透明導電性膜を成膜し、画素電極をパターニングする工程からなることを特徴とする液晶表示装置の製造方法をも提供するものである。

【0023】上記した本発明において、工程 D の第 1 の有機層間絶縁膜は、ポリシラザン、シロキサン樹脂およびベンゾシクロポリブテンポリマーからなる群から選ばれた少なくとも 1 種の有機層形成材料からなることが好ましい。

【0024】また、有機層形成材料が、吸水率 1 % 以下のものであることが好ましい。

【0025】また、第 2 の有機層間絶縁膜は、ジメチレングリコールメチルエチルエーテルを溶媒とするアクリル系樹脂を有機層形成材料とすることが好ましい。

【0026】また、工程 D のノボラック樹脂の溶剤が 2-ヘプタノンと 3-エトキシジブチルアルコールの混合溶媒であることが好ましい。

【0027】また、工程 D のアクリル系樹脂の半硬化が 100~200℃ 1~4 分のプリベークであり、ノボラック樹脂のプリベーク温度が第 2 の有機層間絶縁膜のプリベーク温度を越えない 90~120℃ の温度範囲で 1~4 分のプリベークであることが好ましい。

【0028】更に、工程 D のポジ型感光性レジストの現像がテトラメチルアンモニウムヒドロキシド溶液を用いることが好ましい。

【0029】

【発明の実施の形態】以下、本発明の実施の形態について説明する。

【0030】図 1 は液晶表示装置におけるアクティブマトリクス基板の 1 画素部分の構成を示すものであり、

(a) はその平面図であり、(b) はその TFT 部の断面図であり、(c) はその端子部の断面図である。

【0031】図 1 (a) において、アクティブマトリク

10

20

30

40

50

基板には互いに直交するように複数のゲート配線 2 b と複数のソース配線 6 b が設けられ、それら 2 本毎のゲート配線 2 b、ソース配線 6 b で囲まれた領域に各々ゲート配線 2 b、ソース配線 6 b に重畳するように画素電極 9 が設けられている。また、ゲート配線 2 b、ドレイン配線 6 b の交差部分には T F T 1 0 が設けられ、この T F T 1 0 のゲート電極 2 a にはゲート配線 2 b が接続され、ソース電極 6 a にはソース配線 6 b が接続され、ドレイン電極 7 には第 1 の有機層間膜 8 a と第 2 の有機層間膜 8 b からなる層間絶縁膜を貫くコンタクトスルーホール 1 1 を介して画素電極 9 が接続され、また、画素電極 9 はコンタクトスルーホール 1 1 を介して付加容量電極 1 2 にも接続している。この T F T 1 0 にはゲート配線 2 b、ゲート電極 2 a を通してスイッチング信号が、ソース配線 6 b、ソース電極 6 a を通して映像信号が入力され、画素電極 9 への電荷の書き込みが行われる。

【 0 0 3 2 】 また、本発明の実施例の構造について、図 1 (b) の断面図を用いて詳しく説明すると、透明性絶縁基板 1 上にゲート電極 2 a およびゲート配線 2 b が設けられ、それらを覆うようにゲート絶縁膜 3 が設けられ、その上にゲート電極 2 a と重畳するように半導体層 4 が設けられ、その半導体層 4 の中央部上で隔てられたソース電極 6 a、ドレイン電極 7 がオーミックコンタクト層 5 を介して半導体層 4 に接続されている。それらソース電極 6 a とドレイン電極 7 の間のオーミックコンタクト層 5 はエッチング除去され、ソース電極 6 a、ドレイン電極 7 と半導体層 4 の間にのみオーミックコンタクト層 5 が設けられている。さらにエッチング除去されたチャンネル部を含めて、これを覆うように第 1 の有機絶縁膜 8 a が設けられ、その上に第 2 の有機絶縁膜 8 b が設けられている。この第 2 の有機絶縁膜 8 b 上には、画素電極 9 となる透明導電膜が第 1 の有機絶縁膜 8 a、第 2 の有機絶縁膜 8 b を貫くコンタクトスルーホール 1 1 を介して、ドレイン電極 7 と接続されている。

【 0 0 3 3 】 実施例 1

本発明の実施例における製造方法について説明する。図 2 は本発明の製造フローを示したものである。

【 0 0 3 4 】 (A) 透明性絶縁基板 1 上に A l , M o , C r , などの金属をスパッタリング装置を用いて 1 0 0 ~ 3 0 0 n m の膜厚で形成する。フォトリソ工程により、パターンニングを行い、ゲート電極 2 a、ゲート配線 2 b、ゲート端子部を形成する。

【 0 0 3 5 】 (B) ゲート電極 2 a、ゲート配線 2 b を覆って、基板一面に P C V D 装置により、ゲート絶縁膜 3 となるシリコン窒化膜を 3 0 0 ~ 6 0 0 n m の厚さで、半導体層 4 となる a - S i 層を 2 0 0 ~ 3 0 0 n m の厚さで、オーミックコンタクト層 5 となる n + S i 層を 1 0 ~ 1 0 0 n m の厚さで連続形成し、n + S i 層および a - S i 層をアイランド状にパターンニングする。

【 0 0 3 6 】 (C) ゲート絶縁膜 3、n + S i 層上にスパッタリング装置で、M O , C r などの金属を 1 0 0 ~ 3 0 0 n m の厚さに成膜し、フォトリソ工程により、ソース電極 6 a、ソース配線 6 b、ドレイン電極 7、データ側端子部を形成する。さらに、ソース電極 6 a、ドレイン電極 7 間の不要な n + S i 層を除去し、バックチャネルを形成する。

【 0 0 3 7 】 (D) バックチャネルを含む基板一面に、スピンコート法を用いて、第 1 の有機層間膜 8 a となるポリシラザン化合物を 1 0 0 n m ~ 5 0 0 n m の厚さに塗布し、次に、焼成炉において 2 8 0 ° C で 4 0 分保持した後、さらに 3 2 0 ° C で 2 0 分保持し、ポリシラザン化合物を全硬化する。このとき、焼成温度は前記条件が最適であるが、2 5 0 ° C 以上であればパッシベーション膜としての機能を果たす。このポリシラザンは、吸水率 0 . 4 5 で、溶媒にキシレンを用いている。

【 0 0 3 8 】 次に、スピンコート法により、第 2 の有機層間膜 8 b となるジメチレングリコールメチルエチルエーテル (M E C) を溶媒として含むアクリル系樹脂を 2 . 5 μ m ~ 4 . 5 μ m の厚さに塗布し、1 0 0 ~ 1 2 0 ° C の温度で 1 分 ~ 4 分の間、プリベークを行い、アクリル樹脂を半硬化させる。

【 0 0 3 9 】 次に、2 - ヘプタノン (M A K) と 3 - エトキシジアジドスルホン酸エチル (E E P) を溶媒としノボラック樹脂を主成分とするポジ型感光性レジスト 1 6 をスピンコート法により半硬化させたアクリル樹脂の上に塗布し、アクリル樹脂のプリベーク温度を越えない 9 0 ~ 1 2 0 ° C の温度で 1 分 ~ 4 分の間、プリベークを行う。(このとき、ポジ型感光性レジスト 1 6 のプリベークが 9 0 ° C 以下になると、アクリル樹脂とポジ型感光性レジスト 1 6 の溶媒の揮発や樹脂の縮合による歪みの差によりレジストにクラックが生じ、パターン不良となる。また、1 2 0 ° C 以上になると、下地アクリル樹脂が加熱硬化されてしまい、現像工程で除去すべき下地アクリル樹脂がテトラメチルアンモニウムヒドロキシサイド (T M A H) 溶液に可溶なくなってしまう。また、アクリル樹脂のプリベーク温度よりもポジ型感光性レジストのプリベーク温度が高くなると、同様に樹脂成分の縮合による歪みの差によりクラックが発生する。また、ポジ型感光性レジストのプリベーク温度は、前記クラックの発生しない温度で、かつ、次工程での T M A H での現像において、ポジ型感光性レジストが溶解や浸食による剥離を起こさないように、9 0 ° C 以上である必要がある。) 次に、露光装置により不要除去部分の露光処理を行い、現像装置にて、0 . 1 m o l % ~ 1 m o l % 程度の T M A H 溶液で露光処理されたポジ型感光性レジスト 1 6 を可溶させ、同時にその下層の第 2 の有機層間膜 8 b であるアクリル樹脂も可溶させ除去する。

【 0 0 4 0 】 (E) オープンにて、1 4 0 ° C、1 5 分の熱処理 (ミッドベーク) を行い、D M S O を含むレジス

ト剥離液にアクリル樹脂が可溶しないようにする。次に、S F₆系ガスを用いて、ポジ型感光性レジスト 1 6 をマスクにし、データ側端子部上およびゲート端子部上の不要なポリシラザン膜およびゲート絶縁膜 3 を除去する。次に、DMSO 液を含むレジスト剥離液で、2 3℃～3 0℃の温度内で、ポジ型感光性レジスト 1 6 の剥離を行う。このとき、ミッドベーク温度が 1 3 0℃以下の場合、アクリル樹脂が剥離液を吸収してしまい、膨潤のためクラックが発生する。また、ミッドベーク温度が 1 6 0℃以上の場合、上層のポジ型感光性レジスト 1 6 が硬化してしまい、剥離できなくなる。

【0 0 4 1】(F)最後にスパッタリング装置を用いて、ITO からなる透明導電性膜 3 0 nm～1 0 0 nm の厚さで成膜し、画素電極 9 のパターニングを行う。

【0 0 4 2】以上、説明した 5 つのフォトリソ工程により、画素電極 9 と配線とがオーバーラップする開口率の向上した明るい液晶表示装置を、従来の液晶表示装置より安く製造することができる。

【0 0 4 3】実施例 2

第 2 の実施例は、第 1 の有機層間膜 8 a にポリシロキサン樹脂からなるシロキサン樹脂を用いている。このシロキサン樹脂の吸水率は 0. 7 である。本発明を製造工程順に説明する。バックチャネルの不要な n + S i 層の除去工程までは第 1 の実施例と同様なので省略する。不要な n + S i 層を除去した後、スピコート法を用いて第 1 の有機層間膜 8 a となるシロキサン樹脂を 1 0 0 nm～5 0 0 nm の厚さに塗布し、続いて 8 0℃で 9 0 秒保持した後、2 0 0℃で 9 0 秒保持してプリベークを行う。次に、焼成炉において 2 5 0℃で 6 0 分保持し、シロキサン樹脂を全硬化する。このとき、焼成温度は前記条件が最適であるが、2 3 0℃以上であればパッシベーション膜としての機能を果たす。第 2 の有機層間膜 8 b の形成工程以後は、第 1 の実施例と同様なので省略する。

【0 0 4 4】以上、説明した 5 つのフォトリソ工程により、本発明の液晶表示装置が備えるアクティブマトリクス基板を製造することができる。

【0 0 4 5】実施例 3

第 1 の有機層間膜 8 a にベンゾシクロブテンポリマーを用いている。このベンゾシクロブテンポリマーは吸水率が 0. 2 5 である。本発明を製造工程順に説明する。バックチャネルの不要な n + S i 層の除去工程までは第 1 の実施例と同様なので省略する。不要な n + S i 層を除去した後、スピコート法を用いて第 1 の有機層間膜 8 a となるベンゾシクロブテンポリマーを 1 0 0 nm～5 0 0 nm の厚さに塗布し、次に、焼成炉において 3 0 0℃で 6 0 分保持し、ベンゾシクロブテンポリマーを熱硬化する。このとき、焼成温度は前記条件が最適であるが、2 5 0℃以上であればパッシベーション膜としての機能を果たす。

【0 0 4 6】第 2 の有機層間膜 8 b の形成工程以後は、第 1 の実施例と同様なので省略する。

【0 0 4 7】以上、説明した 5 つのフォトリソ工程により、本発明の液晶表示装置が備えるアクティブマトリクス基板を製造することができる。

【0 0 4 8】

【発明の効果】上記第 1 の実施例の適用例によれば、従来 P C V D 装置により形成していたパッシベーション膜となるシリコン窒化膜を形成する工程を省略し、バックチャネルを含むソース電極、ソース配線、ドレイン電極の上に直接有機絶縁膜を形成することができる。これは、吸水率が 1 % 以下のポリシラザン、シロキサン樹脂、ベンゾシクロブテンポリマーのうちの 1 種類を直接バックチャネルに接する第 1 の有機層間膜を用いたことによる。T F T のバックチャネルを保護するパッシベーション膜には不純物イオンや水をブロックする機能が必要である。不純物イオンは水に比べて拡散速度が極めて遅く、また、水に比べてパッシベーション膜中への拡散力が弱い。よって、水をブロックする能力の高い吸水率 1 % 以下のポリシラザン、シロキサン樹脂、ベンゾシクロブテンポリマーを用いることによって、バックチャネルを有機層間膜で保護することが可能になる。この場合、膜厚は上記機能を満たすために最低 1 0 0 nm 以上必要である。これにより、高価で生産性の低い P C V D 装置でパッシベーション膜を形成する工程を、安価で生産性の高いスピコート工程に代替することができ、液晶表示装置の生産コストを大幅に低減することが可能になる。さらに、前記第 1 の有機層間膜の上に、比誘電率が低い第 2 の有機層間膜をスピコーターで厚く形成することができるため、画素電極を各ゲート配線、ソース配線に重畳することができ開口率を向上させることが可能になる。この場合、画素電極と各配線間の浮遊容量によるクロストークを抑えるために、誘電率 3. 0 の材料で膜厚 3. 8 μm 必要である。さらに、第 2 の有機層間膜の形成を上記第 1 の実施例に記載の方法で形成することにより、従来の高開口率液晶表示装置の製造方法より簡便な 5 つのフォトリソ工程で製造することが可能になる。

【図面の簡単な説明】

【図 1】本発明の液晶表示装置におけるアクティブマトリクス基板の 1 画素部分の構成を示す図であり、(a) がその平面図であり、(b) がその T F T 部の断面図であり、(c) がその端子部の断面図である。

【図 2】本発明の液晶表示装置におけるアクティブマトリクス基板の製造フローである。

【図 3】従来の液晶表示装置におけるアクティブマトリクス基板の 1 画素部分の構成を示す図であり、(a) がその平面図であり、(b) がその T F T 部の断面図であり、(c) がその端子部の断面図である。

【図 4】従来の液晶表示装置におけるアクティブマトリ

クス基板の製造フローである。

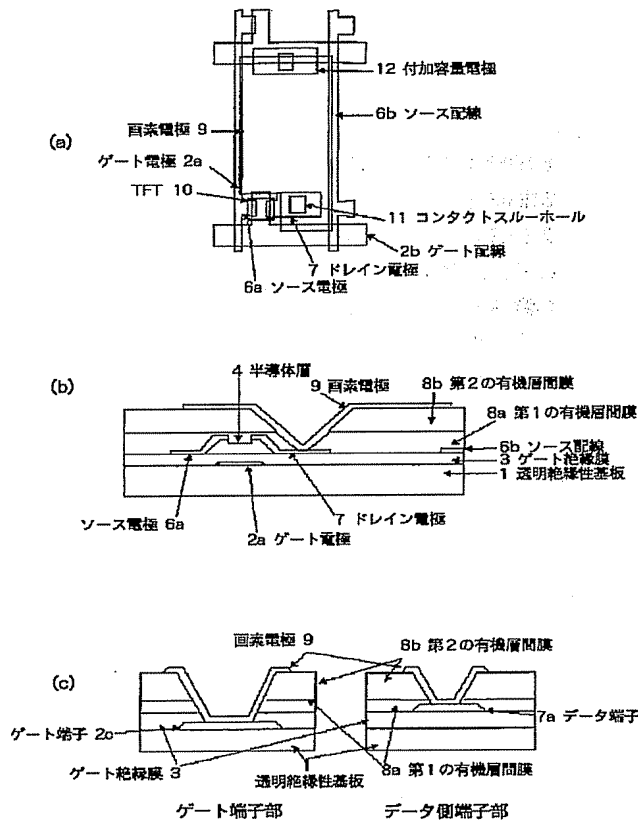
【図 5】従来の液晶表示装置におけるアクティブマトリクス基板の T F T 部部の断面図である。

【図 6】従来例 1 に高開口率構造を適用した場合の問題点を説明する図である。

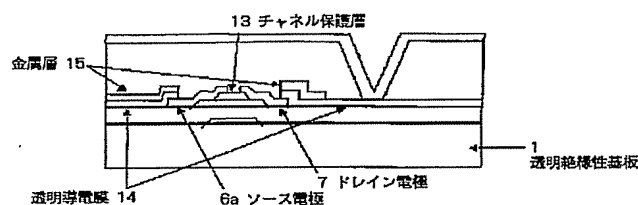
【符号の説明】

- 1 透明絶縁性基板
- 2 a ゲート電極
- 2 b ゲート配線
- 2 c ゲート端子
- 3 ゲート絶縁膜
- 4 半導体層
- 5 オーミックコンタクト層
- 6 a ソース電極
- 6 b ソース配線

【図 1】

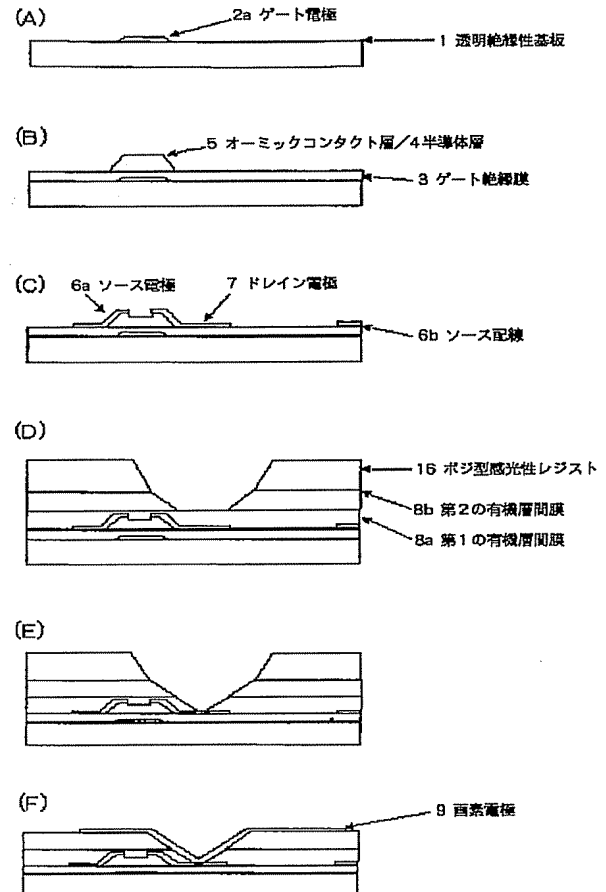


【図 5】

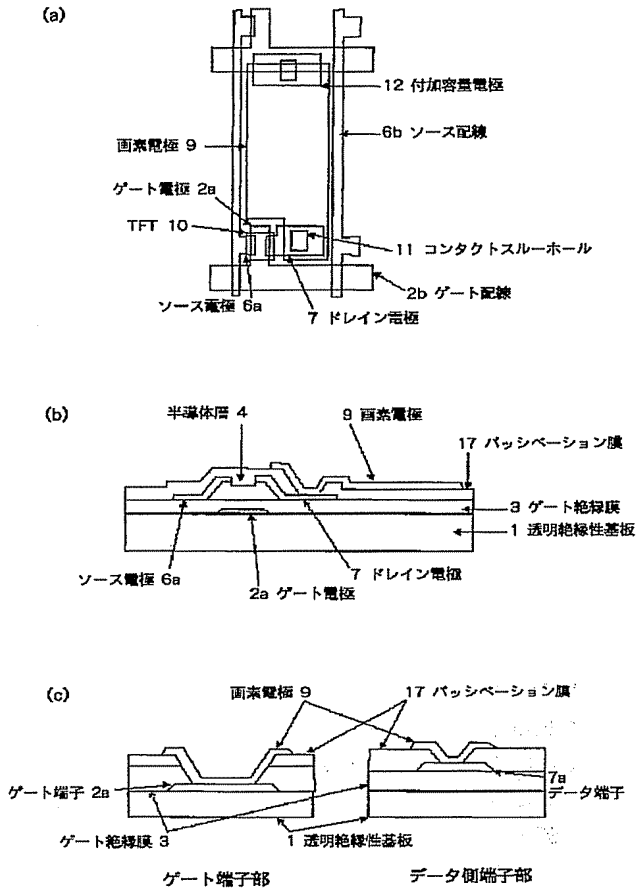


- 7 ドレイン電極
- 7 a データ側端子
- 8 有機層間膜
- 8 a 第 1 の有機層間膜
- 8 b 第 2 の有機層間膜
- 8 c 感光性有機層間膜
- 9 画素電極
- 10 T F T
- 11 コンタクトスルーホール
- 12 付加容量電極
- 13 チャンネル保護層
- 14 透明導電膜
- 15 金属層
- 16 ポジ型感光性レジスト
- 17 パッシベーション膜

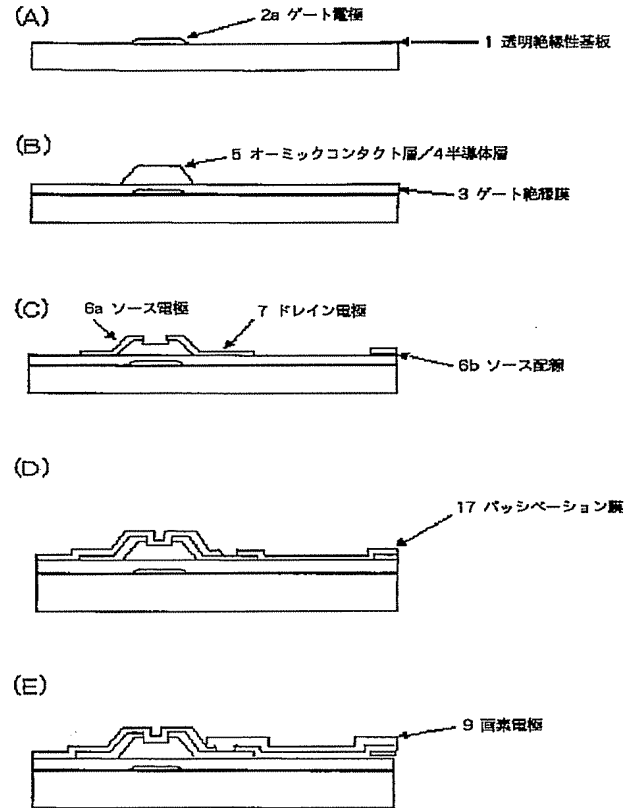
【図 2】



【図 3】



【図 4】



【図 6】

